

## 应用指南 AN-978

### 高压悬浮门驱动IC (HEXFET是国际整流器公司的商标)

#### 目录

	页码
高端器件的门驱动要求 .....	2
典型结构图 .....	3
如何选择自举元件.....	5
如何计算 MGD 的功率损耗.....	6
如何处理 $V_s$ 引脚的负向瞬变.....	9
布线及一般注意事项 .....	11
如何提高门驱动电流以驱动模块.....	14
如何提供连续的门驱动 .....	17
如何产生负的门偏置 .....	19
如何驱动降压转换器 .....	22
双正激转换器和开关磁阻电机驱动 .....	24
带电流模式控制的全桥 .....	24
无刷和感应电机驱动 .....	26
推挽式.....	27
高端 P-沟道.....	27
故障排除指导 .....	28

## 1. 高端器件的门驱动要求

对于采用功率MOSFET或者IGBT作为高端开关（漏极跟高电压输入线相连，如图1所示）并在全增强（也就是说，两个端子之间有最低的压降）下驱动的门驱动要求可以总结如下：

1. 门极电压必须比漏极高出10V到15V。作为一个高端开关，这样的门电压必定比输入电压高，通常是系统可提供的最高电压。
2. 门极电压一定是通过逻辑信号控制的，而信号本身通常以地为参考。因此必须把逻辑控制电平转换到高端功率器件的源极。在多数情况下，这个电平会在输入和地之间变化。
3. 门极驱动电路所消耗的功率不应该明显地影响整体效率。

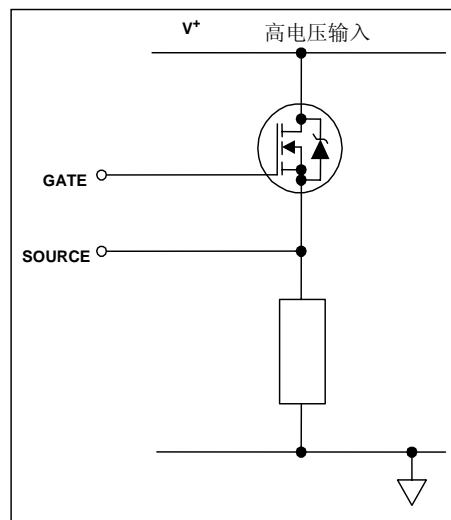


图 1: 高端配置的功率MOSFET

有了这些约束之后，目前有多种技术用来实现这个功能，如表格I原理所示那样（见29页）。每种基本电路可以由各式各样的方法实现。

国际整流器公司的MOS门驱动器族（MGD）集成了大部分所要求的功能，将绝大部分用来驱动高压侧和低压侧的MOSFET或IGBT的功能都集成在一个紧凑、高性能封装里。对IRS2110来说，只要提供少数几个元件，就可以达到高速的开关频率，同时损耗很低。如表格II中所示（见30页）。它们可以通过自举或者悬浮电源的方式工作。在这种自举模式下使用，它们能工作于从数十赫兹到几百kHz范围的大多数应用。

## 2. 典型的结构图

IRS2110的这个结构图将用来阐述大多数MGD的典型结构，如图2所示。它包含了一个用于参考地功率晶体管的驱动电路，一个用于高端晶体管的驱动电路，电平转换器和输入逻辑电路。

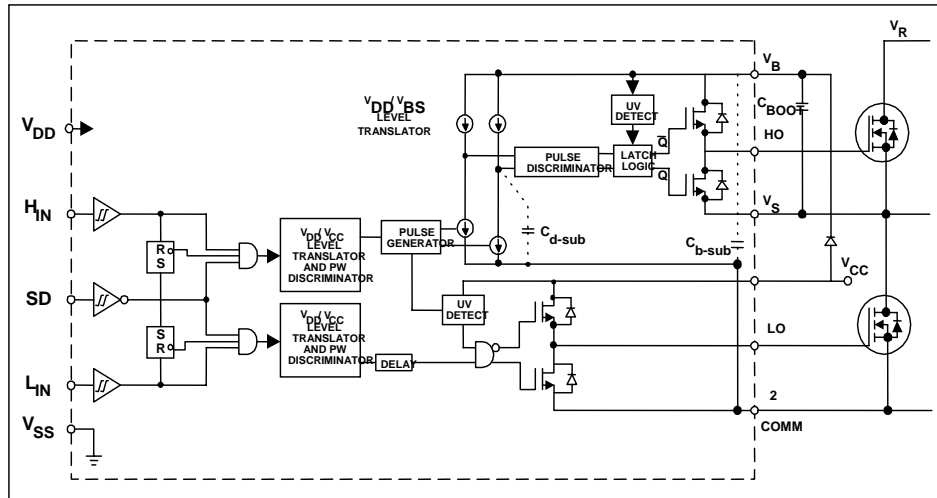


图2: IRS2110的结构图

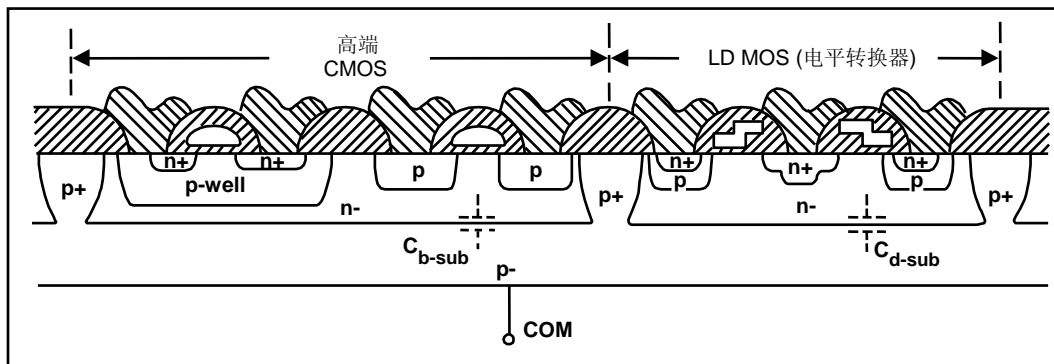


图 3: 硅横截面显示了寄生电容

## 2.1 输入逻辑

两个通道都受TTL/CMOS兼容输入逻辑控制，转换门限因器件不同而不同，一些MGD（譬如IRS211x）有着与逻辑供电 $V_{DD}$ （3到20V）成比例的转换门限，为了接受长上升沿信号，施密特触发器需要滞后 $10\%V_{DD}$ 。而其他MGD（譬如IRS210x，IRS212x，以及IRS213x器件）有着从逻辑0到逻辑1的固定过渡，通常在1.5V到2V之间。一些MGD只能驱动一个高端功率器件（譬如，IRS2117，IRS2127和IRS21851），其它的能驱动一个高端和一个低端功率器件，一些可以驱动三相桥（譬如，IRS213x和IRS263x系列）。但并不是说任何高端驱动器都可以驱动低端器件。有些有着两个门驱动通道的MGD，它们的输入可以是两个相互独立的输入信号，也可以是有互补逻辑以及死区设置的单个输入。

有些应用需要用到死区，那么应该使用带有集成死区时间（半桥驱动器）或者高端和低端驱动器与无源器件相结合的MGD来提供所需的死区时间，如12节所示。通常，对于导通时和关断时（温度依赖数据手册所描述那样）的两个通道来说，输入与输出之间的传输延迟大约是一样的。对于一些正逻辑关断的MGD（譬如，IRS2110）来说，输出将内部被关断。关断时间由关断脚上的脉冲宽度决定。

移除关闭信号之后的第一个输入信号将清除闭锁并且激活它的通道。这个闭锁关闭有助于逐周电流控制的简单实现，在12节作为例证。从输入逻辑来的信号将通过高抗干扰能力的滤波器耦合到单个通道。这允许逻辑电源参考地（ $V_{SS}$ ）相对于功率地（COM）有着 $\pm 5V$ 的变化。这个特点对于地的布线不理想的场合，有着很大的帮助。进一步的抗噪声手段是脉宽监控，它可以屏蔽掉小于大约50ns的脉冲。

## 2.2 低端通道

驱动器的输出级可以由（源跟随器提供拉电流和灌电流）的两个n-沟道MOSFET的图腾来实现，也可以采用一个n-沟道和一个p-沟道CMOS反向器来实现。每个MOSFET可以吸收或者输出从0.12A到4A的门电流，取决于MGD。较低驱动器的源极是独立连接到COM引脚的，因此可以对功率器件的源极做直接连接，来返回门驱动电流，这种做法将在第5节看到。如果 $V_{CC}$ 低于所规定的值（通常为8.6/8.2V），欠压锁定有效，进入欠压保护。

当UV锁定释放时，在低端通道的输入引脚出现的任何脉冲都能够使功率晶体管导通，而这个过于与高端通道不同，我们将在下一小节中可以看到。

## 2.3 高端通道

这个通道被做进了一个“隔离井”内，它能相对于功率地（COM），从500V或者1200V浮动至-5V。这个井在 $V_S$ 电压下“浮动”。通常，这个引脚连接到高端器件的源极，如图2所示，并且在两个母线和地之间变化。

如果 $V_B$ 与 $V_S$ 之间连接着一个隔离电源，那么高端通道的输出将根据输入信号在该电源的正端与悬浮地之间变化。

MOS管的一个重要特点就是它们的电容输入特性（也就是通过供应电荷到门极而不是连续电流让它们导通的事实）。如果高端通道正在驱动一个这样的器件，那么隔离电源可以由自举电容取代，如图2所示。

高端MOSFET的门电荷是由自举电容提供的，当器件关断时，在这段时间内（假设在大多数应用中，在这段时间里 $V_S$ 变化到0），该电容由15V电源通过自举二极管进行充电。因为这个电容是从一个低电压源进行充电，所以驱动门极所消耗的功率很小。高端通道的输入信号必须从COM电平转换到并可以浮置的电位，它可以高达1200V。如图2所示，开关信号的上升和下降沿是以窄带脉冲的形式进行传输的。它们通过一个以悬浮电位为参考的置位/复位 触发器来锁定。

使用脉冲的方式可以大大降低了跟电平转换器相关的功率消耗，脉冲鉴别器过滤了 $V_S$ 节点上出现的快速 $dv/dt$ 瞬态中的设置/复位脉冲，从而功率器件中高达50V/ns的开关速率不会反过来影响MGD的工作。这个通道有着它自己的欠压锁定，如果 $V_B$ 与 $V_S$ 之间的电压（也就是说，上面推拉式上的电压）低于它的限制，这个欠压锁定会阻止门驱动。在某个细节上，UV锁定的工作与 $V_{CC}$ 上的锁定不一样，UV锁定后的第一个脉冲释放通道，并改变了输出状态。高电压电平转换器是设计来适当的工作，即使当 $V_S$ 节点通过一个手册中所指定的电压（通常是5V）来变化到COM引脚以下，这是由于低功率二极管的快速恢复或者由 $Ldi/dt$ 感应的电压瞬态而导致的。第5节将对如何来限制负电压瞬态来给予指导。

## 2.4 电源钳位

很多 MGD 具有集成的 20V 或者 25V 电源钳位特点，从而来防止电源的瞬态冲击。超过钳位电压一段时间后将控制 IC 产生不可修复的损害。

## 3.如何选择自举元件

如图2所示，自举二极管和电容是仅有在PWM应用中严格要求的外部元件。 $V_{CC}$ （和数字）供电上的局部去藕电容用来补偿电源线的电感是很有用的。

自举电容上施加的电压只是 $V_{CC}$ 电源，它的容量由以下因素来决定的：

1. 要求来增强 MGT 的门电压
2. 用于高端驱动器电路的  $I_{QBS}$  - 静态电流
3. 电平转换器的内部电流
4. MGT-栅-源正向漏电流
5. 自举电容漏电流

因素 5 仅与自举电容是电解时有关，如果采用其他类型的电容，则可以忽略。因此，尽可能使用非电解电容。关于自举元件选择方面的更多详细信息，请参考 DT98-2a “控制 IC’的自举元件选择”

最小的自举电容值可以通过下面公式来计算：

$$C \geq \frac{2 \left[ 2Q_g + \frac{I_{qbs(max)}}{f} + Q_{ls} + \frac{I_{Cbs(leak)}}{f} \right]}{V_{cc} - V_f - V_{LS} - V_{Min}}$$

其中：

$Q_g$  = 高端 FET 的门电荷

$f$  = 工作频率

$I_{Cbs(leak)}$  = 自举电容漏电流

$I_{qbs(max)}$  = 最大  $V_{BS}$  静态电流

$V_{CC}$  = 逻辑电路部分的电压源

$V_f$  = 自举二极管的正向压降

$V_{LS}$  = 低端 FET 或者负载上的压降

$V_{Min}$  =  $V_B$  与  $V_S$  之间的最小电压

$Q_{ls}$  = 每个周期的电平转换所需要的电荷(对于 500V/600V MGD 来说，通常为 5nC，而 1200 V MGD 为 20 nC)

自举二极管必须能够承受线路中的所有电压；在图25、28和29的电路中，这在上端器件导通并且大约等于母线电压的时，就会出现此现象。而该二极管的电流额定值为门极电荷与开关频率的乘积，对于工作于100 kHz的IRFP450 HEXFET功率MOSFET来说，它大致为12mA。

自举二极管的高温反向漏电流特性在那些需要电容来保存电荷一段延长时间的应用中是一个重要的参数。同样，为了减小由自举电容馈入电源的电荷，应选用超快速恢复二极管。

#### 4. 如何计算MGD的功率损耗

MGD的总损耗是由许多因素产生的，总体可分为低压（静态和动态）和高压（静态和动态）几方面。

- a) 低压静态损耗( $P_{D,q(LV)}$ ) 由低压电源（譬如， $V_{DD}$ 、 $V_{CC}$ 和 $V_{SS}$ ）的静态电流导致的，在典型的15V应用中，25 °C时这些损耗总计大约为3.5mW，而 $T_J = 125$  °C下会增加到5mW。
- b)  $V_{CC}$ 电源上的低电压动态损耗( $P_{D,SW(LV)}$ ) 由两个不同的部分产生：

1. 只要电容通过一个电阻充电或者放电，那么用来给电容充电的一半能量会消耗在这个电阻上。因此，一个完整周期的门驱动电阻（MGD的内部和外部）的损耗如下：

$$P_G = V \cdot Q_G \cdot f$$

对于工作于100kHz、 $V_{gs} = 15V$ 的两个IRFP450 HEXFETs 来说，我们有：

$$P_G = 2(15 \text{ V})(120 \text{ nC})(100 \text{ kHz}) = 0.36 \text{ W}$$

假设两个器件同时驱动，一个通道一个，那么公式中的因数2是有效的。如果 $V_{SS}$  由自举电容/二极管产生，那么功率由 $V_{CC}$ 供应。门电阻的使用减少了MGD里所消耗的门驱动功率量，由各自的电阻比率而定。如果内部电阻为 $6\Omega$ ，输出或者吸收，而如果门电阻为 $10\Omega$ ，那么只有 $6/16 P_G$  是消耗在MGD里。这些损耗跟温度无关。

2. 跟内部CMOS电路开关相关的动态损耗大致为如下公式：

$$P_{CMOS} = V_{CC} \cdot Q_{CMOS} \cdot f$$

其中， $Q_{CMOS}$ 在5与30nC之间，取决于MGD。在典型的100kHz应用中，这些损耗会达到几十mW(这些损耗与温度毫无关系)。

- c) 高电压静态损耗( $P_{D,Q(HV)}$ )主要取决于电平转换级的漏电流，跟 $V_S$ 引脚的电压有关，并且与占空比成正比，因为只有当高端功率器件导通的时候才产生高压静态损耗。如果 $V_S$ 保持连续在400V， $25^\circ\text{C}$ 下它通常为0.06mW，而在 $125^\circ\text{C}$ 下，它会增加到大约2.25mW。如果 $V_S$ 是接地，这些损耗实际上将是0，跟推拉式或者相似的拓扑一样。
- d) 高电压开关损耗( $P_{D,SW(HV)}$ )有两项组成，其中之一为电平转换电路（见图2），另一个为高端p-井电容（图3的 $C_{b-sub}$ ）的充电和放电。

1. 一旦高端触发器复位，那么关断高端器件的指令（也就是设置这个触发器）会导致一个电流流经电平转换电路。这个电荷来自高电压总线，并经过功率器件和自举电容。如果高端触发器设置，低端功率器件导通，那么复位高端器件的指令会导致一个电流从 $V_{CC}$ 流出，并经过二极管。因此，对于工作于输入线电压 $V_R$ 的板桥来说，消耗的混合功率为：

$$(V_R + V_{CC}) \times Q_P \times f$$

其中 $Q_P$ 为电平转换器吸收的电荷， $f$ 为高端通道的开关频率， $Q_P$ 在 $V_R = 50 \text{ V}$ 时大致为4nC，当输入电压增加到500V时，它也会增加到7nC。在典型的400V、100kHz应用中，这些损耗总计大约为0.3 W，这也包括了 $C_{d-sub}$ 的充电和放电。 $Q_P$ 还有第三个可能的源，当高端除法器正在复位（也就是说，功率器件正在导通），低端功率器件关断时，在这种情况下，电荷是来自高电压总线，通过器件电容和漏感或者通过负载。功率损耗比通过上面公式进行计算所得的结果高一些。在推拉式或者其他拓扑中，因为 $V_S$ 是接地的，两个电平转换电荷都由 $V_{CC}$ 提供，从而损耗很小。

2. 在高端/低端功率电路中，当 $V_S$ 在 $V_R$ 与COM之间变化时，井电容 $C_{b-sub}$  每次都要充电和放电。充电电流有高压输入提供，并流经功率器件和epi电阻；放电电流流经下面器件和epi电阻。通过电阻对电容进行充放电所导致的损耗等于 $QV/2$ ，忽略电阻值。但是，大部分损耗是在桥驱动器的外面产生的，因为在开关过渡中，相对于功率器件的内部电阻，这个epi电阻是可以忽略的。假设在450V下，电荷值7nC，工作频率为100kHz，那么由电容的充电和放电导致的总损耗总计为：

$$P_{Total} = V \times Q \times f = 450 \text{ V}(7 \text{ nC})(100 \text{ kHz}) = 0.31 \text{ W}$$

如果 $V_S$ 是接地的，那么电容是在固定的电压下充电的，这些损耗将会是0。 $C_{b-sub}$ （如 $C_{d-sub}$ 一样）是反向偏置结电容，其容量为电压的函数，这些电荷跟温度无关。

上面对于损耗的讨论可以总结如下：

- 主要的损耗是开关损耗，在100kHz或者以上的高电压应用中，a)和c)中的静态损耗是可以忽略的；
- 开关损耗的温度依赖性是不明显的；
- 混合损耗是控制模式，电参数以及温度的函数。

知道了MGD的功率损耗后，最大的环境温度可通过下面的公式进行计算（或者反过来计算也可以）：

$$T_{A,max} = T_{J,max} - PD \times R_{th,JA}$$

其中 $R_{th,JA}$ 是结到环境的热电阻。

对于工作于半桥，输入电压400 V，工作频率为100 kHz，没有负载，没有门电阻的两个IRF830来说，下面的例子显示了典型的各种损耗：

$$P_{D,q(LV)} = 0.004 \text{ W}$$

$$P_{D,SW(LV)} = P_{CMOS} = (15 \text{ V})(16 \text{ nC})(100 \text{ kHz}) = 0.024 \text{ W}$$

$$P_G = 2(15 \text{ V})(28 \text{ nC})(100 \text{ kHz}) = 0.084 \text{ W}$$

$$P_{D,q(HV)} = 0.002 \text{ W}$$

$$P_{D,SW(HV)} = (400 \text{ V} + 200 \text{ V})(7 \text{ nC})(100 \text{ kHz}) = 0.42 \text{ W}$$

$$\text{总功率损耗} = 0.534 \text{ W}$$

无负载下，公式中的200V来计算 $P_{D,SW(HV)}$ 是合适的，也就是说，半桥的输出得到了一个在两个输入线之间的电压（见4.2.d.1节）。

在工作过程中，在可调整电流源（如LM334）的帮助下，从关闭引脚拉出1mA可以计算出实际的结温度，这个引脚上的电压在25°C下为650mV，以2mV/°C减少，这个的变化就是结温度得很好指示。



### 5. 如何处理 $V_S$ 引脚的负向瞬变现象

这些问题都是寄生参数导致的，控制 IC 的主要问题之一就是节点在开关时有负下冲的趋势。相反，上冲一般不会产生问题，因为国际整流器公司发明的 HVIC 工艺有着高差分电压能力。

国际整流器公司的控制 IC 对于抗 $V_S$ 下冲至少5V是有保证的，该电压是对COM进行测量的。如果下冲超过了这个水平，那么高端输出将会临时的锁定下。假如 $V_S$ 保持在限制最大绝对值内，那么 IC 就不会遭受损害。但是，当下冲持续在5V以上时，高端输出就不会对输入变化做出响应。这个模式需要注意，但因为高端在开关过程中通常不要求即时改变它的状态，许多应用中也说明了这一点。

当 $di/dt$ 达到最大时，在正常工作以及譬如短路或者过流关闭的高应力情况下，下面列出的信号是需要关注的。数据的读出应该如图4所示那样直接在 IC 的引脚进行，从而驱动耦合电路中的寄生影响就会包含在这次测量中。

- (1) 相对于共同点的高端偏移量： $V_S - COM$
- (2) 浮置供电： $V_B - V_S$

忽略所观察到的闭锁安全限度，以下指南提出了控制 IC 电路方面好的做法以及注意事项。

#### 5.1 降低寄生效应

- 1a. 在开关之间采用粗、直连导线，不需要环路或者不相向。
- 1b. 避免互相相连，这会增加明显的电感。
- 1c. 通过降低在 PCB 上面的封装高度来减少引线电感。
- 1d. 考虑两个功率开关的相互位置以减少导线长度。

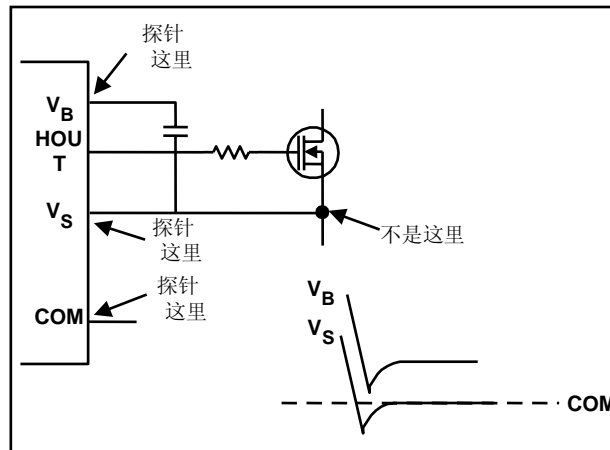


图 4: 在反向恢复期间观察到的  $V_S$  尖峰

## 5.2 降低控制风险

- 2a. 把 $V_S$ 跟COM连接起来，如图6所示。
- 2b. 使用短的、直连导线来最小化门驱动电路的寄生元件。
- 2c. 尽可能近地把控制放置在功率开关旁边。

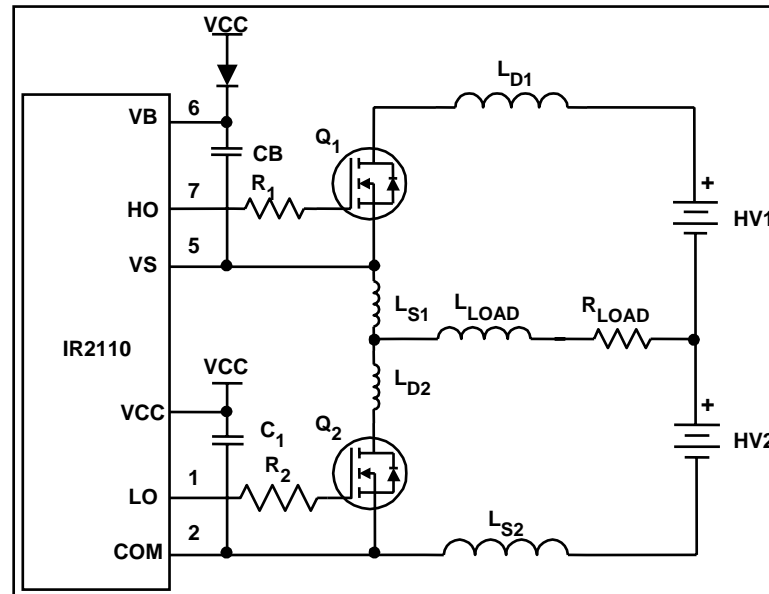


图5A: 具有漏电感的典型半桥电路

## 5.3 改进局部去藕

- 3a. 增加自举电容 ( $C_B$ ) 值到 $0.47\mu\text{F}$ 以上，使用至少一个低-ESR电容，这将减少来自 $V_S$ 严重下冲的过度充电。
- 3b. 在 $V_{CC}$ 与COM之间使用第二个低-ESR电容，因为这个电容支撑低端输出缓冲和自举重充电，我们推荐这个电容值比 $C_B$ 至少大于10倍。
- 3c. 在合适的引脚直接连接去藕电容，如图7所示。
- 3d. 如果需要电阻跟自举二极管串联，要保证 $V_B$ 不要低于COM，特别是在启动和高频率和大占空比的时候。

按照以上指导适当地应用， $V_S$ 下冲的影响将在源处降到最小。如果下冲的水平还是认为很高，那么降低一些 $dv/dt$ 是必需的。

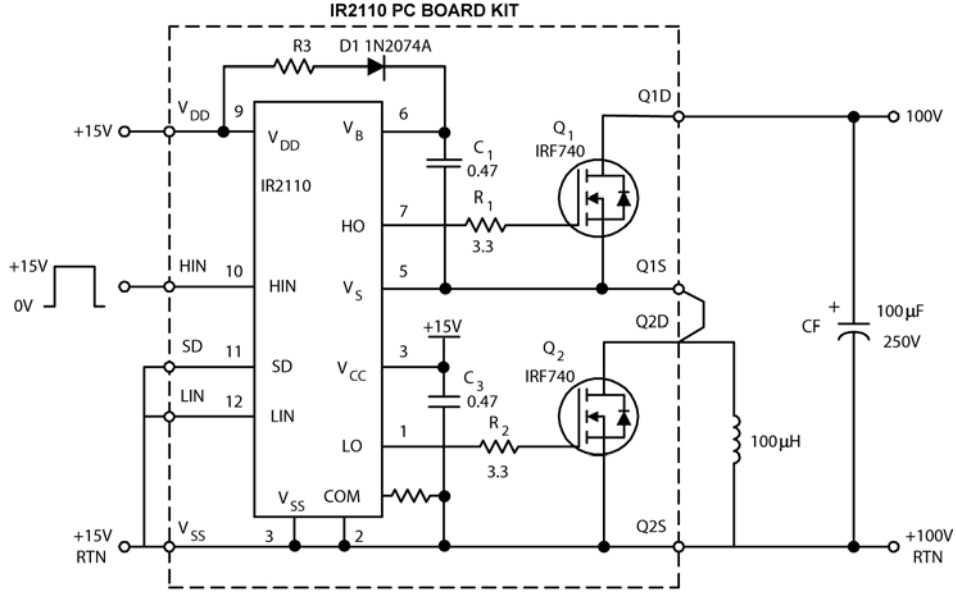


图5B: 测试电路

外部吸收和/或者增加门驱动电阻可以牺牲效率以获得较低的开关速率。如果系统不允许这样，那么就要考虑并联快速钳位二极管，而HEXFRED二极管非常适合于这个目的。

关于瞬态现象处理的更多细节信息请参考DT97-3 “控制驱动功率级的瞬态现象处理”。

## 6. 布局和其他通用指导

一种带有漏电感的典型半桥电路如图5a所示。它显示了漏电感位于高电流通路中；这些漏电感会影响电路的工作。 $L_{D1}$ 和 $L_{S2}$ 存在于“直流通道”并且取决于MOSFET和去耦电容之间的线电感； $L_{S1}$ 和 $L_{D2}$ 存在于一个“交流通道”并且取决于MOSFET之间的线电感；直流通路上的漏电感可以采用电容抵消，而交流通道上的漏电感则不能补偿掉。

为了消除电源和测试电路之间的线电感的影响，一个100uF/250V的电解电容可以连接在Q1D和Q2S端子之间，如图6和7所示。这事实上是消除了直流通道的线电感。

相关联的波形如图8所示。当Q1关闭时，Q2的体二极管携带续流电流，续流二极管上的电压尖峰大约为10V，如图中顶部曲线所示，它由二极管的正向恢复和内部封装电感所致。

但是，IR2110  $V_S$ 引脚上相应的负尖峰是50V，如图下面曲线所示。这是由交流通道中漏电感 $L_{D2}$ 和 $L_{S2}$ 中的 $di/dt$ 所导致的，而事实上这些电感有效地隔离了 $V_S$ 引脚和续流二极管的嵌位动作。这个问题的严重性是可以理解的，假设漏电感为50nH，在20ns开关10A，此时负尖峰为25V。作为一个参考，小的纸夹就有着50nH的电感。

处理尖峰的最有效方法就是降低交流通路的漏电感，这可以通过把高端器件的源极或者发射极根低端器件的漏极或者集电极接近连接，如图10的布局所示。

在电感减少到最小的实际限制之后， $di/dt$ 也必须依靠门极电阻通过降低开关速度来减少。直接从MGD驱动MOS门晶体管会导致不必要的高开关速度。如图5b所示的电路产生了4ns关断时间，0欧姆门极电阻以及 $V_S$ 引脚上的负90V尖峰(IR2110波形)。负尖峰和关断时间与串联门极电阻之间的关系图如图9。

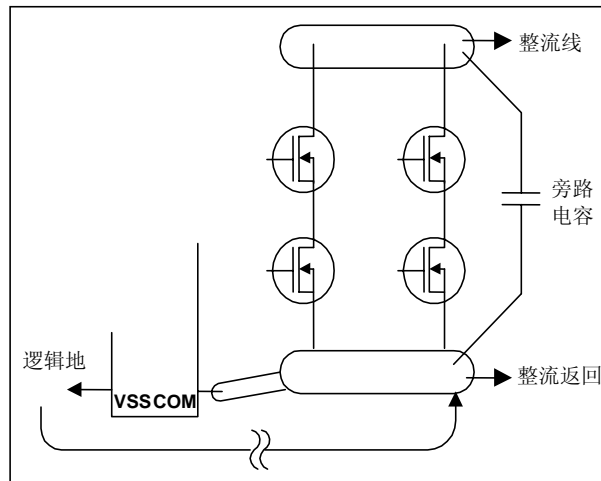


图 6: 地连接和布局

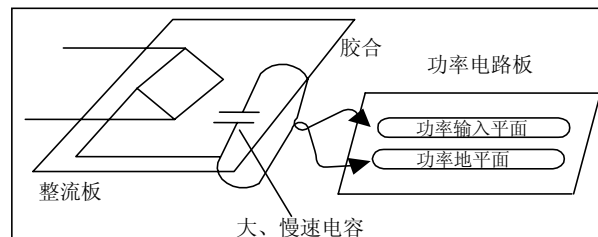


图 7: 功率旁路电容

增加串联门极电阻的值使得负向尖峰幅度快速减少，而关断时间是串联门极电阻的线性函数。选择电阻值刚好是图9的交叉点，它为尖峰幅度与关断速度之间提供了一个好的折衷。在测试电路中选择了—个27 $\Omega$  门电阻，得到的尖峰幅度为18V而关断时间为48ns。在门极电阻两边并联—个二极管，其阳极指向门极也是推荐的。这个二极管在导通时是反向偏置的，在关断时会使门极处于低电位。导通速度的降低减少了反向恢复的尖峰，如第12节解释那样(见参考文献2)。门极电阻的值应该尽可能的小，只要布局允许，根据器件上的过压和 $V_S$ 引脚的负尖峰。

布局应该最小化门驱动充电/放电环的漏电感以减少振荡，改进开关速度以及抗噪声能力，特别是“ $dv/dt$ 引起导通”。为此目的，每一个MOSFET应该有专门的连接直接连到MGD的引脚用于门驱动信号的返回。最好的结果可以通过胶合线来获得，在其中—侧，连到门极和源极，在另一侧，连到门极驱动和门驱动返回。

如图 10 所示的布局间降低了交流通路，直流通路以及门驱动环路的漏电感。PCB 上使用了并连导线，在这个电路中，在快速瞬态期间在 MOSFET 功率和 IR2110 的驱动引脚之间测得的差分电压超过了 2V。

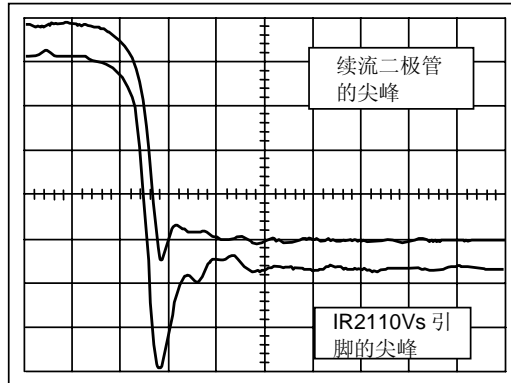


图 8: Q1 关断 20 A 感性负载  
(20 ns / 格和 20 V / 格)

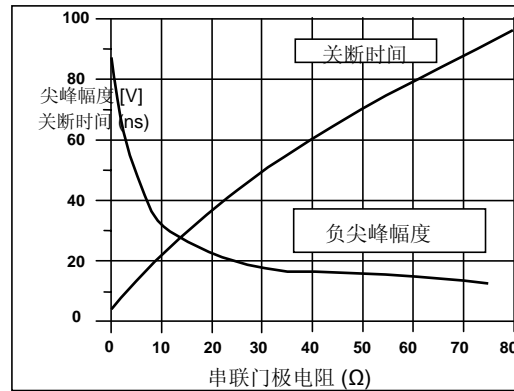


图 9: 串联门电阻与负电压尖峰和关断时间之间的关系

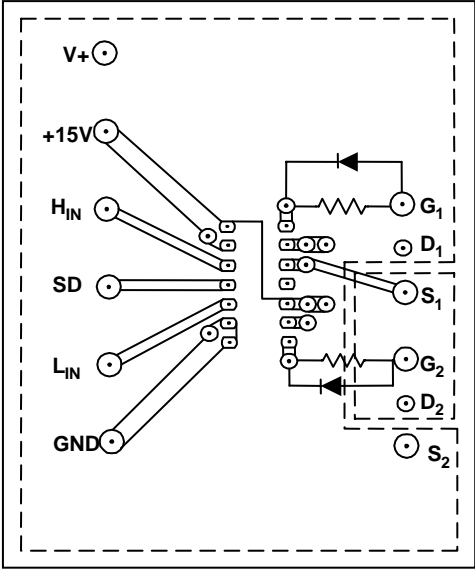


图 10: IR(S)2110 测试电路

7.如何提高门驱动电流以驱动模块

模块和其他并联MOS门功率晶体管有时还要求更多的电流和更低的门驱动阻抗。如图11所示的高输入阻抗功率缓冲器电路具有8A峰值输出电流。它可以靠近功率模块进行安装，从而降低了门驱动环路的电感，改进了抗dv/dt诱导导通的能力。他吸取可以忽略的静态电流，可通过自举电容来供应。这个缓冲器从IRS2110或者具有较小门驱动能力的MGD中接受驱动信号，然后驱动有着600nC总门极电荷的IGBT模块。Q1和Q2是用于Q3和Q4的低电流驱动器，而Q3和Q4可以选择一定的大小尺寸来满足峰值输出电流要求。当输入信号改变了状态，R1限制流经Q1和Q2的电流几个ns，然后两个晶体管导通；当输入信号建立新的状态时，驱动器晶体管快速的对导流输出晶体管的门极电容进行放电，迫使它到关闭状态。同时，其他输出晶体管的门极将通过R1进行充电，导通时间受R1和输出晶体管的输入电容所形成的RC时常系数所延迟。

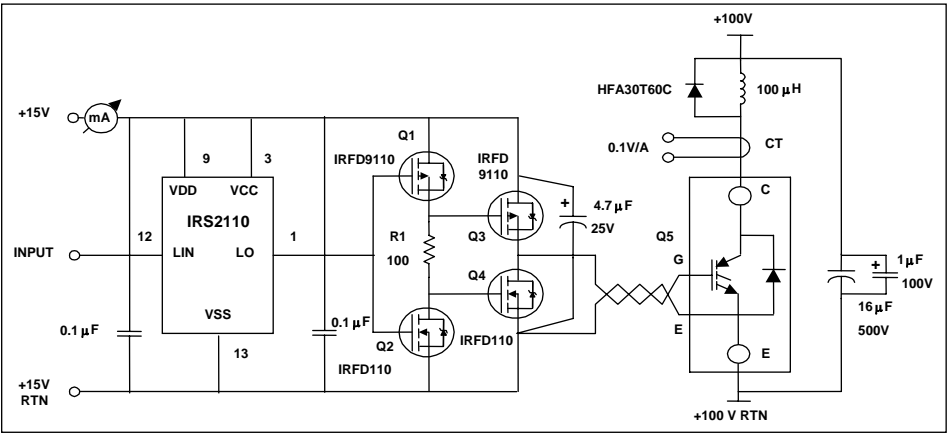


图 11: 测试电路

驱动60A电流感性负载时的典型开关性能如图12A和12B所示。导通和关断延迟为50ns，上升和下降时间少于40ns。缓冲器电路用0.1 $\mu$ F容性负载进行了测试，输入和输出缓冲波形如图13所示。振荡是由输出端的容性负载与杂散电感形成的谐振电路所致。电流消耗与频率之间的关系图如图14所示。在升压级使用低导通电阻，低电压是可能的，但是发现大大降低 $R_{DS(on)}$ 会产生大的峰值电流，从而在电路中导致更大的噪声和振荡。

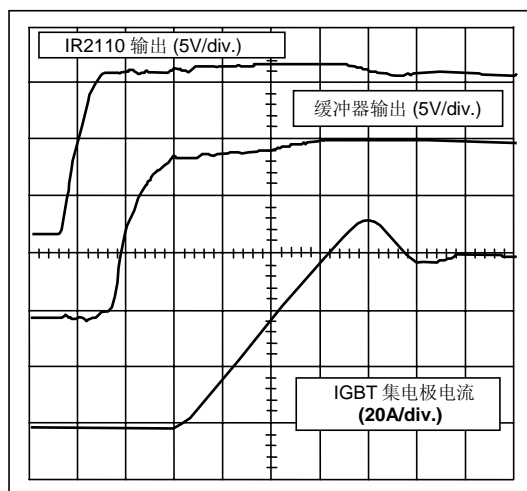


图12A: IGBT 模块导通驱动60A感性负载  
(50 ns / 格)

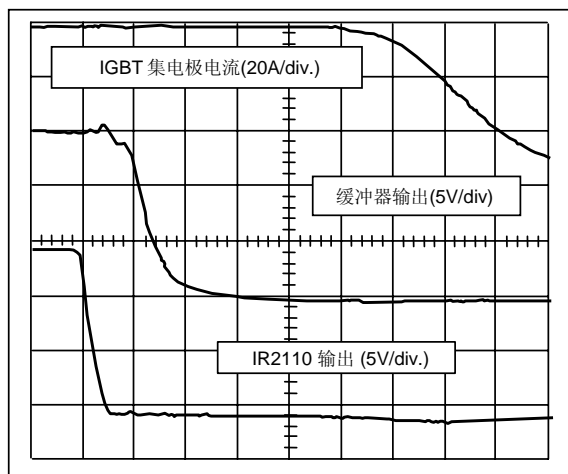


图12B: IGBT 模块关断  
传播延迟为50ns; 下降时间<40 ns;  $Q_g$ 为 600nC  
(50 ns / 格)

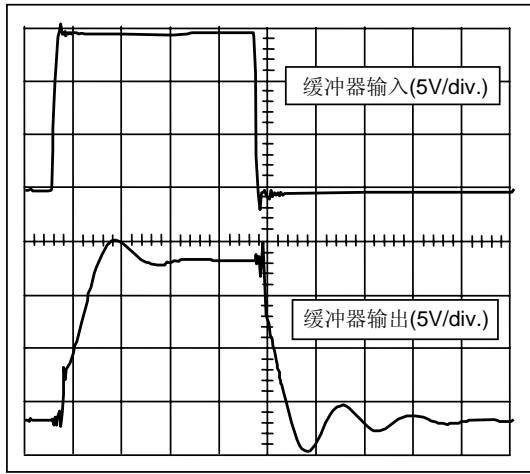


图 13: 驱动0.1uF容性负载的波形  
(250ns /格)

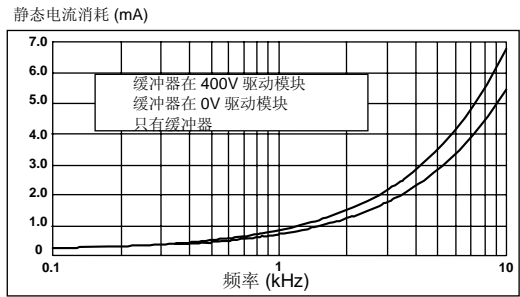


图14: 电流消耗与频率之间的关系



### 8. 如何提供连续的门驱动

一些应用，譬如无刷直流电机，要求高端器件无期限的导通。在这些条件下，自举电容上面的电荷可能不足于保持高端输出一直导通。通常隔离供电用于这种目的。

但是隔离供电增加了成本，并且要经常考虑功率器件的伪导通，这是由通过变压器的跨线绕电容的开关  $dv/dt$  耦合所致。隔离供电的一种便宜做法就是采用如图 16 所示的充电泵电路。我们选择 IR2125 MGD 来阐述充电泵和自举电路的协作，IR2125 也有线性电流限制和超时关闭能力，为 MOS 门器件提供了保护。为了提供 IR2125 的低工作电流要求，充电泵采用了 CMOS 版本的 555 时基电路。

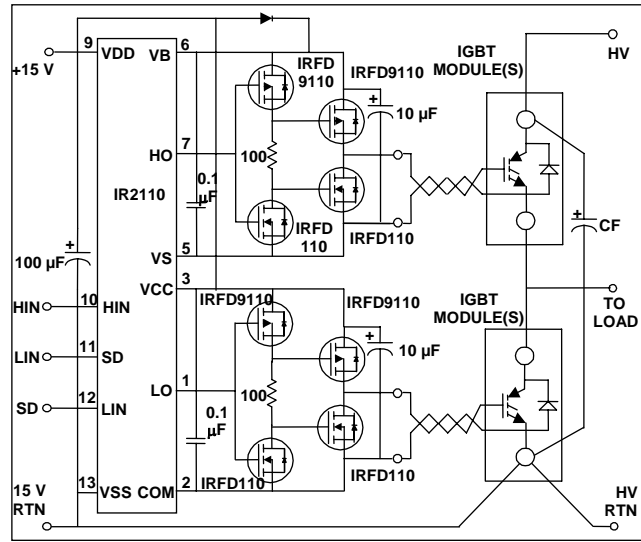


图 15: 应用电路原理图

当 IGBT 关断时，自举电容就通过自举二极管和负载电阻充电；当 IGBT 导通时，这个连接到地的 100kΩ 电阻给连接在 555 时基电路的引脚 1 和引脚 8 之间的 100nF 电容进行充电，产生了+15V，这个电压参考于 IR2125 引脚 5。由两个 IN4148 二极管和 10nF 电容形成的充电泵电路转换 555 时基电路引脚 3 的 7.5kHz 方波到+15V，参考  $V_S$ ，并为自举电容充电。

图 17 显示了启动时的电路波形。当 IGBT 导通时，自举二极管断开了 IR2125 引脚 8 和+12V 功率电源的连接，而自举电容上面的电压开始下降，同时，位于 555 时基电路引脚 1 与地之间的这个 100kΩ 电阻开始为连接它的这个 100nF 电容充电，并产生了用于 CMOS 时基电路(MAXIM ICL71555IPA)的供电电压。

充电泵的输出电压随着供电电压增加而升高，充电泵维持了自举电容的电压，保持这个电压一直在 IR2125 的欠压锁定电平之上。

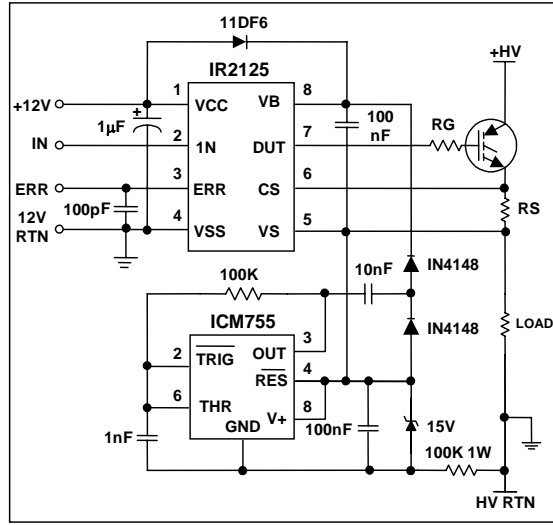


图16: 高端驱动提供了快速开关, 持续导通时间和开关期间保护

在选择元件时, 要记住以下考虑:

- 选择齐纳时, 要考虑 555 的电源供电最大绝对值为 18 V;
- 100kW (对于 500 V+HV 电源来说是有效的)电阻应该根据 IR2125 高端上的最大供电电流、最小工作电源和定时要求来选择;
- IR2125  $V_B$  引脚上的供电电流( $I_{QBS}$ )随着温度增加而增加。

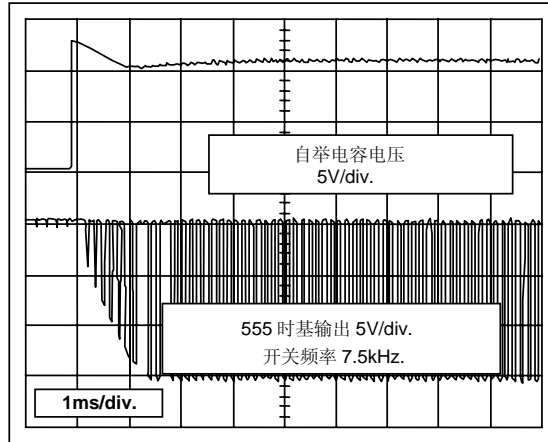


图 17: 启动时的波形

## 9. 如何产生负的门偏置

由于固有特性，MOSFET 和 IGBT 门极上都不要求负偏置。在关断时，设置门极电压到 0 可保证适当工作，而实质上相对于器件的门限电压提供了负偏置。但是，有一些情况，采用负门驱动或者其他方法是必需的。

- 半导体生产商为器件指定了负门极偏置；
- 由于电路产生的噪声原因，当门极电压不能安全地保持在门限典雅直辖时；
- 想得到最终的开关速度。

尽管对 IGBT 已作了参考，但是包含的信息同样适用于功率 MOSFET。国际整流器公司制造的 IGBT 不要求负偏置，开关时间和能量损耗值在数据手册的分离器件和模块中都有公布，这些值是在零电压关断下测量的。当 IGBT 的集电极-发射极之间的电压快速增加时，会产生“由  $dv/dt$  引起导通”的问题。

在瞬态现象期间，门极-集电极(Miller) 电容为门极递送电荷，从而增加了门极电压。门极电压“标志”的高度和宽度是由门极-集电极和门极-发射极电容的比例，连接到门极的驱动电路阻抗以及集电极-发射极的  $dv/dt$  决定的。

在高  $dv/dt$  应用中，以下测试可用来确定门限电压和串联门极电阻的影响，测试电路如图 18 所示。上面 IGBT 的正偏置一直增加直到下面 IGBT 的开关损耗表明了过多的击穿电流，导通损耗是在 15A 电感电流和 6V/ns 开关速度进行测量的，结果如图 19 所示。

增加导通损耗的门限电压电平在串联门极电阻为 47 欧姆，10 欧姆和 0 欧姆是分别为 4V，5V 和 5.6V。串联门极电阻的并联二极管（阳极指向门极）有助于把门极钳到低位，因此串联门极电阻可以根据导通要求来选择大小尺寸。

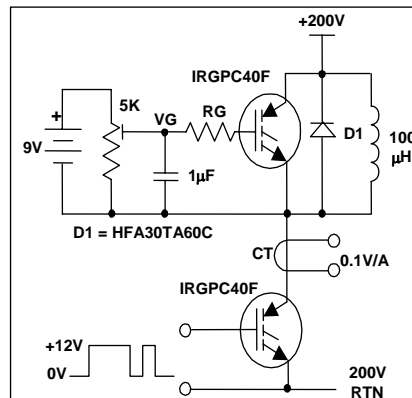


图18: 测试电路

由于对 IGBT 的输出电容( $C_{OES}$ ) 进行充电所致的电流“标志”通常会误认为导通电流。对于  $dv/dt$  为 20V/ns 的 IRGPC50F IGBT 来说，这个电流“标志”的大小大约为 5A，这个大小不会因施加的负偏置而改变。

基本的缓冲电路和负充电泵电路如图 20 所示。缓冲电路采用了两个 p-沟道和两个 n-沟道 MOSFET，在 Q3 和 Q4 的门极之间的电阻 R1 使输出晶体管的导通速度慢下来，并且限制了驱动器中的击穿电流。

D1 降低了到 Q3 和 Q4 门极的电压，D2, C2 和 R2 为 Q2 形成了电平转换器，C3, C4, D3 和 D4 转换输入信号到负直流电压。在导通之后，这个负电压在几个周期内就可以建立，即使占空比很小或很大 (1-99%)，这个负电压建立的时间和大小是受信号员的输出阻抗影响的。

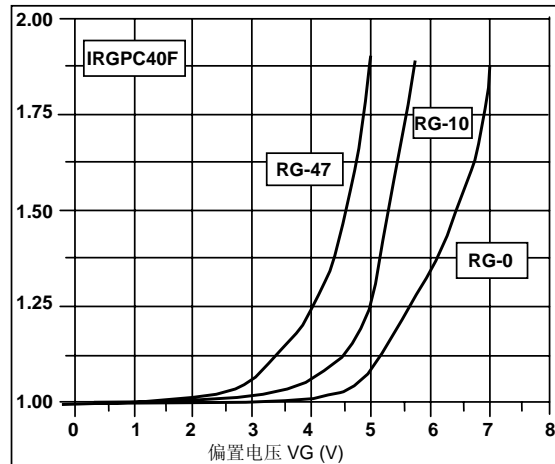


图19: 导通损耗与 $V_g$ 之间的关系

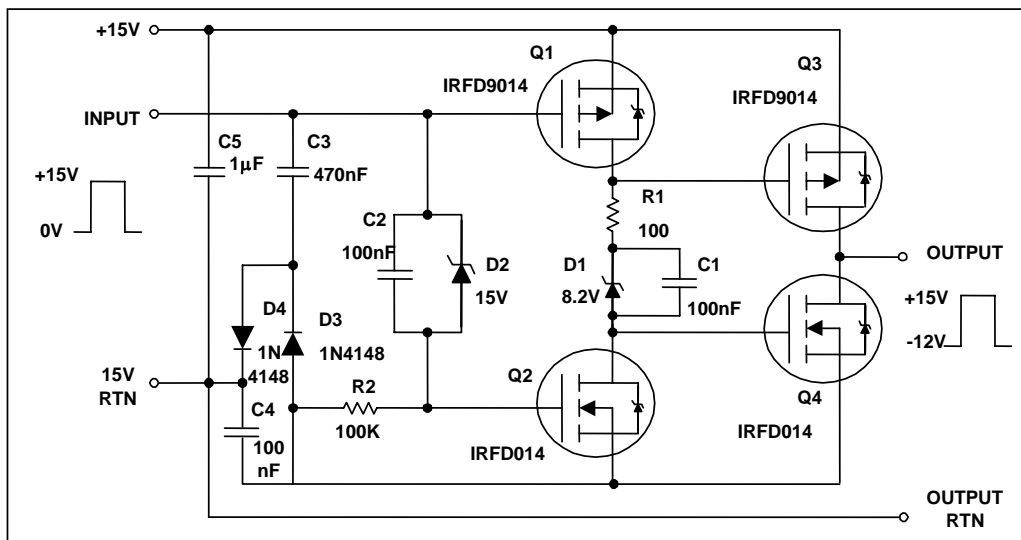


图 20: 带负充电泵的缓冲电路

图 21 所示的电路采用了 IR2110 的高电压电平转换能力，并结合了图 20 所示的驱动能力和 MOS 缓冲电路的负偏置。这个电路用两个带有 600nC 门极电荷的 270A IGBT 模块进行了测试，波形如图 22 所示，电路中的导通延迟为 1ms，关断延迟为 0.2ms。

这个负偏置电压的建立时间在 5kHz 开关频率和 50%占空比下大约是 10ms。在启动时，在第一个周期之后，这个电路就递送负门极电压。在关闭期间，门极电压保持负的直到存储电容器放电。

**重要注意事项:** 对于 IR 的 IGBT 和 IGBT 模块来说，负门极驱动是不需要的；对于 NPT 类型 IGBT 来说，负门极驱动要考虑  $C_{cg}$  与  $C_{ge}$  的容量比的重要变化。通过增加门极电容从而消除负门极驱动的需要是可能的，这降低了  $C_{cg}$  与  $C_{ge}$  的容量比，从而淹没了米勒效应，消除了门极上感应的米勒电压所导致的假导通。

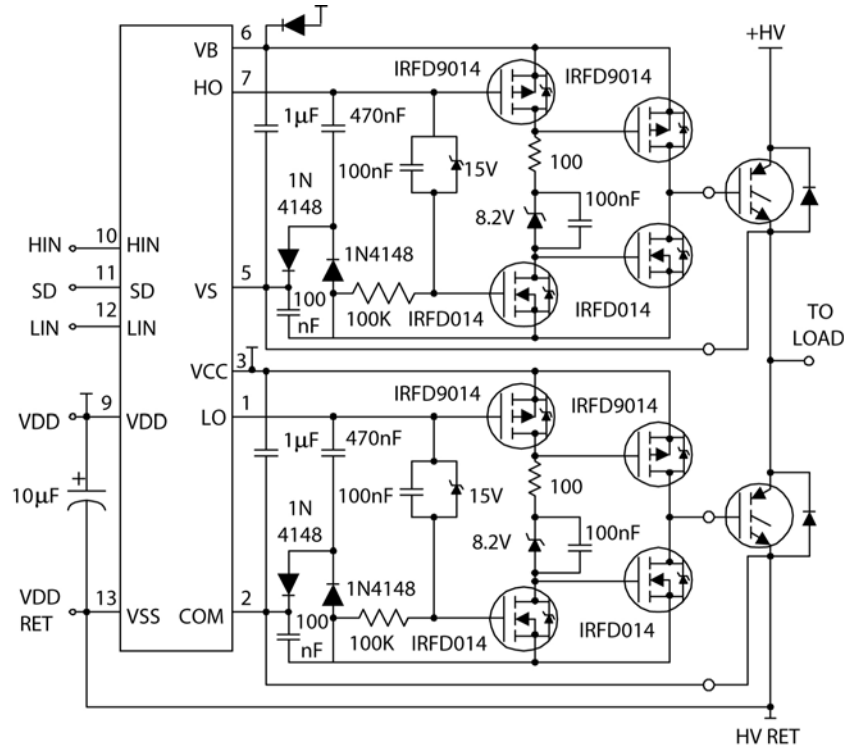


图 21: 具有负偏置的半桥驱动

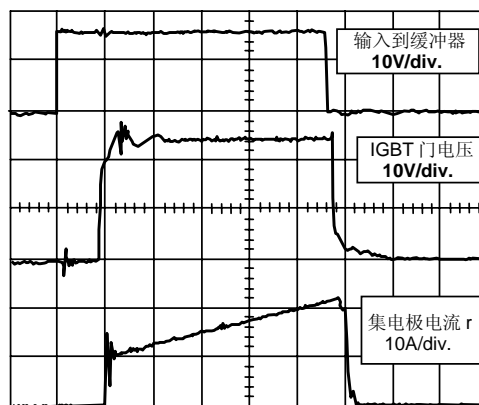


图22: 负偏置的波形  
(1 ms /格)

10. 如何驱动降压转换器

图23显示了具有IR2117提供的高端驱动功能的降压转换器的典型应用。连接在COM端的二极管防止负向尖峰影响IC工作，并且提供了抗噪声能力的测量。如之前提到那样，COM不应该连接在一起。

启动时，自举电容放电，在大多数应用中，它会通过电感和滤波电容进行充电。在无负载情况下，也是同样的。当续流二极管不能导通时，只要滤波电容至少是自举电容的10大，这条通路就会工作。这个谐振电路的Q值应该足够小，从而来保证自举电容在V<sub>SS</sub> (20 V)的限制之外不会充电；如果不是这样，那么跟自举电容并联的齐纳管负责可能的过压情况。这对于直流-直流转换器实现电源功能还是直流电机的速度控制都是适用的。

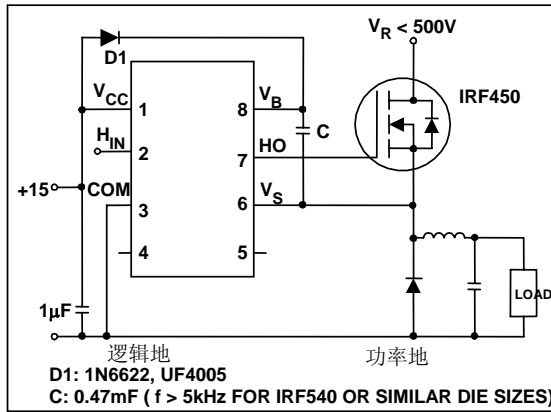


图 23: 降压转换器

但是，在以下两种情况，自举电容的再充电电流不会在二机关或者负载流动：

1. 在典型的电池充电应用中，如图24所示，来自输出的+12 V出现在V<sub>S</sub>引脚，降低了启动时自举电容两端的电压，并且MGD中的欠压保护抑制它工作。
2. 当输出端有过量电压时，降压器的正常PWM工作就会受到中断。这通常是由于在输出端突然移除重载所导致的，突然移除重载会产生比设定值更高的电压，因为控制环的速度受限制和电感L1存有能量。输出端无负载或者轻载时，滤波电容能够保持输出端处于高电压很长时间，而而此时CB会更快的速度通过高端驱动器的漏电流进行放电。

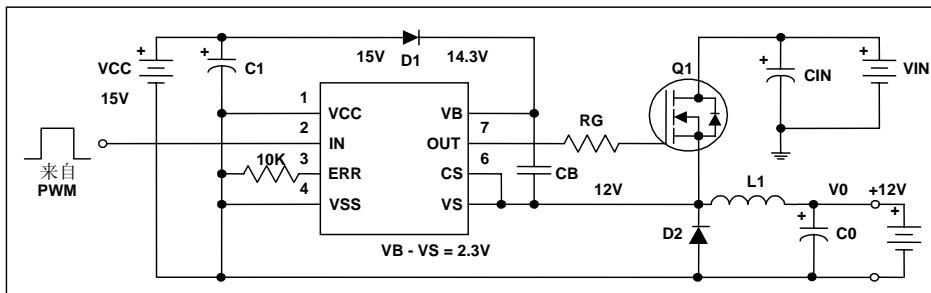


图 24: 电池充电应用的HVIC

如图25所示，R1的增加提供了自举电容的另一条充电路径。由于 $V_{IN}$ 比 $V_O$ 高，一些充电电流经常流经R1，即使 $V_S$ 引脚处于 $V_O$ 的电压。

为了保持CB充电，流经R1的平均电流应该比最坏情况下的漏电流大。D3应该是一个低电压齐纳二极管，用于12V和15V的推荐型号分别是：IN4110和IN4107。

如果降压转换器的输出电压在10与20V之间，这个技术可用来取代专用电源来给PWM控制器和IR2110以及其他辅助电路供电。

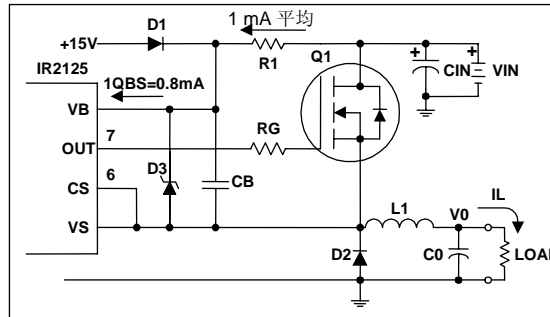


图25: 增加 R1到电路

### 11. 双正向转换器和开关磁阻电机驱动

图26显示了经常用于驱动开关磁阻电机绕组或者双正向转换器变压器的桥电路。

使用IR2110要求增加两个二极管和两个MOSFET来保证自举电容在导通时充电，并且在后续的周期中，续流二极管的导通时间应该变得非常短。

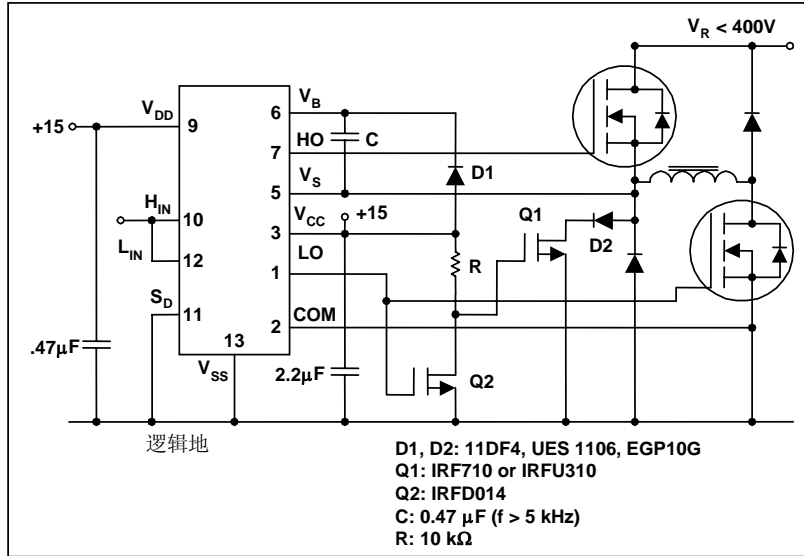


图26: 双正向转换器和开关磁阻电机

### 12. 具有电流模式控制的全桥

图27显示了具有逐周电流控制的H-桥电路，它在低端采用电流检测器件并结合IR2110的关闭引脚来进行实现。电流检测电路的具体实现依赖于PWM技术，该技术用来产生负电源所需的输出电压，所要求的精确度以及可用性，带宽等等（参考文献3, 4和5在更多细节上覆盖这些内容）。如2.1节所解释的那样，关闭功能是锁存的，从而功率MOSFET在负载电流通过它们的内部二极管进行衰减时保持在关断状态。这个锁存在下个周期的开始就进行复位，在功率器件再一次导通的时候。如图6和7所示，去耦电容减轻了L1的负向影响，另一方面，L2必须采用紧凑的布局来减少，如图10。IR2110的导通和关断传播延迟是紧密匹配的（最坏情况下失配：10ns），导通传播延迟比关断延迟长25ns。这自动地保证了不会发生功率器件的重叠导通，即使导通和关断输入指令不一致。

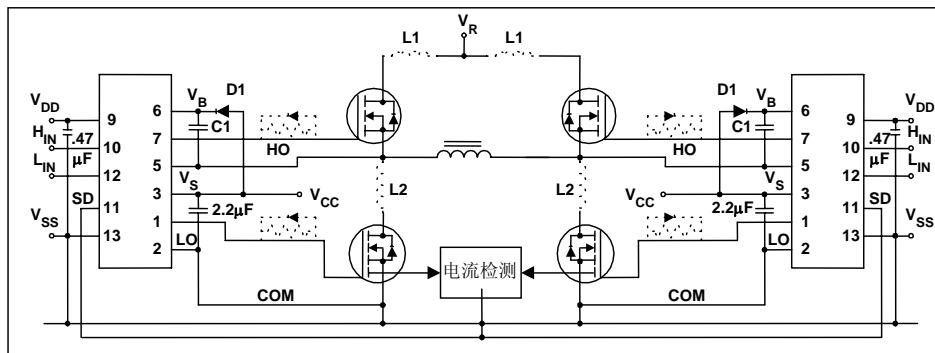


图 27: 具有逐周电流模式控制的H-桥的典型实现



作为安全限度增加，一个电阻-二极管网络可以增加死区时间，如图28A的虚线所示。这个网络的目的是进一步延迟导通，而没有影响关断，因此插入了一些另外的死区时间。这个电阻-二极管网络在反向恢复时间期间降低电流尖峰的峰值也是有用的。如参考文献2所解释那样，这对功率损耗， $dv/dt$ 以及EMI有影响。图30显示了来自布局如图10所示的测试电路的波形。工作于500kHz，采用IRF830 HEXFET，电路没有出现任何问题，也没有使IR2110产生明显的加热。

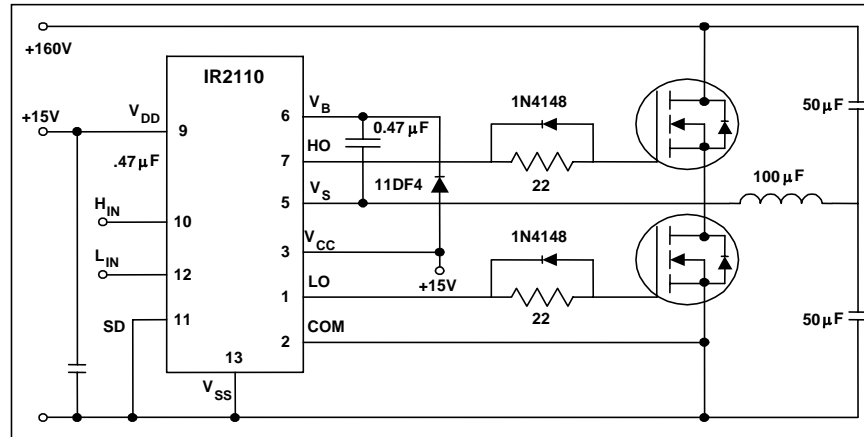


图 28A: IRF450工作于大约100 kHz，电感为100 mH

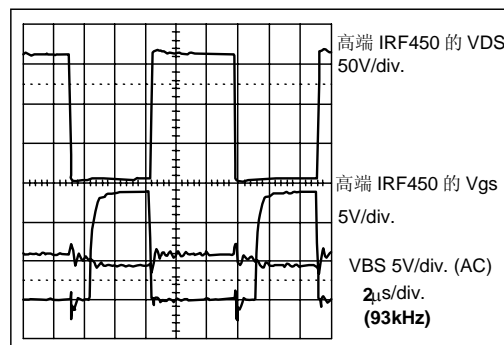


图 28B: 图28A电路的波形

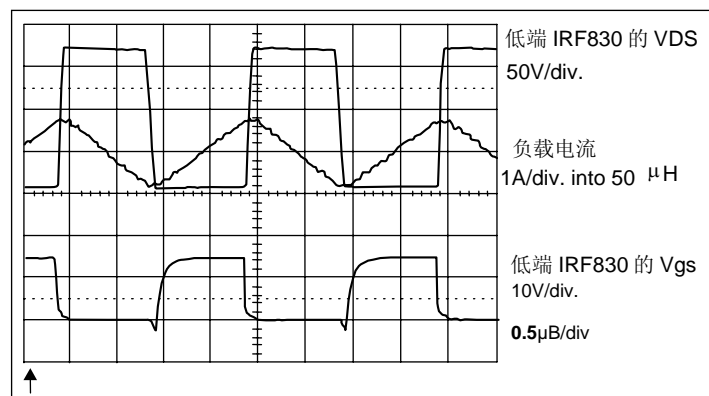


图 28C: 图28A电路的波形

### 13. 无刷和感应电机驱动

由于波形中有大 $di/dt$ 成分的原因，用于电机驱动的三相桥电路的实现要求布局更为细致。实际上，离共同接地点最远的驱动器将经受最大的COM端与地参考端之间的电压差分（参考文献1）。

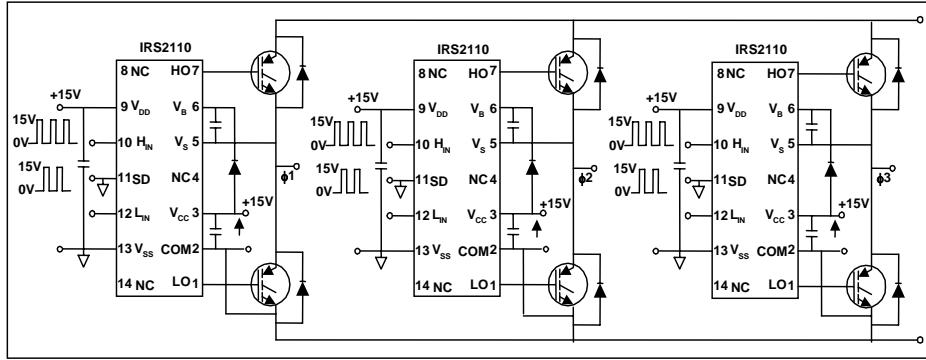


图 29: 采用三个IRS2110器件的三相逆变器，驱动六个IGBT

在三相驱动器的情况下，如IR213x，第5和6节的指南应该补充下面内容：三个分离的连接应该从MGD的COM引脚连到三个低端器件，而且，有几个工作条件要求作为潜在问题范围的紧密审查点。

当无刷直流电机采用锁定转子工作于长时间，而桥的其中之一臂关闭，那么这样的条件就会发生。

在这个条件下，自举电容最终会放电，取决于这段时间里 $V_s$ 上面所呈现的电压。结果上面那个功率器件将会切断，并且不会继续工作，就算指令要求它这么做。在大多数情况下，这不是故障的原因，因为下面那个器件能够按照指令继续工作，而自举电容也会充电并为下一个周期作好准备。一般来说，如果设备不能够忍受这种类型的工作，可以通过4种方法之一来避免。

- 采用充电泵电路，如第8届描述那样；
- 可以安排控制来获得一个非常短的“正常”占空比，通过几个ms的最小脉冲时间来实现；
- 如果极性可以去激活一个受限并且已知的一段时间，那么在这段时间里，自举电容可以设计来保持电荷；
- 除了自举电容之外，提供隔离电源给高端。

如果桥电路是使用PWM技术来同步正弦波的感应电机驱动的一部分，那么在低频率下，每个极会用零或者小占空比经受延长的一段时间。设计的自举电容应该能够保持足够的电荷来经受这段时间，而没有刷新。在图31所示之一的电路中，出于安全考虑或者作为控制损害的形式以逆变器故障，对高电压供电与逻辑电路之间进行了电化隔离。

光绝缘体或者脉冲变压器经常用来实现这个功能。对于驱动高达5kW的应用来说，在AN-985所示的电路大概是最简单、最便宜的方法来提供隔离。MGD的使用保护光绝缘体以防高电压 $dV/dt$ 并且在提供高性能门驱动能力的同时降低了费用。

### 14. 推拉式

高电压MGD在那些不需要利用其关键特性，高电压电平转换和浮置门驱动的应用中仍然很有用。

在大多数功率调节应用中，方便， $V_{SS}$ 与COM之间的噪声忍受度，高速度去动能力是吸引人的特性。它们提供了接口，并且简单增加去藕电容就可以实现门驱动功能，如图30所示。

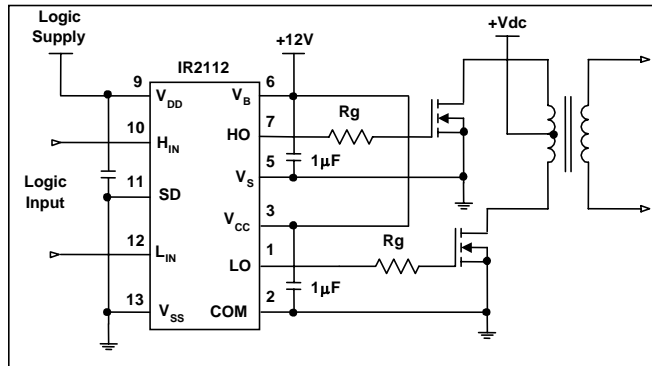


图 30: 推拉式驱动电路

### 15. 高端P-沟道

假如参考正输入的负电源可以获得，MGD也可以驱动P-沟道器件作为高端开关，如图31所示。当工作于这种模式时， $H_{IN}$ 输入变为低电位，也就是输入的逻辑0导通了p-沟道MOSFET。只要 $V_S$  (或者 $V_B$ ) 固定在参考与地的电压，第4.2.d.2节提到的功率损耗将会是零。

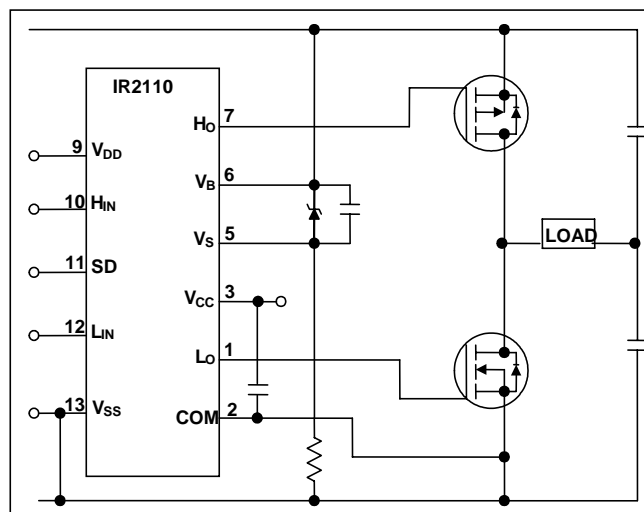


图 31: IRS2110 驱动高端P-沟道

## 16.故障排除指导

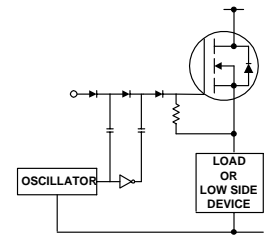
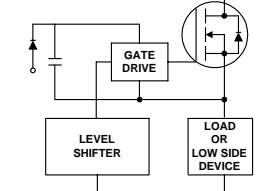
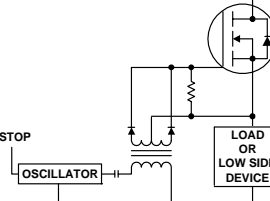
为了分析IR2110浮置通道的波形，差分输入示波器是必需的。这里假设任何不参考地的差分电压可以通过这种方式测量。

同样假设已经作了明显的检查，譬如：

- 引脚正确相连，电源已去藕。
- 自举充电二极管是超快速，其额定只能承受输入电压。
- 关闭引脚没有使能。
- 逻辑输入没有导致器件同时导通，除非拓扑要求。

现象	可能原因
无门驱动脉冲	确认 $V_{CC}$ 在UV 锁定值之上
门驱动脉冲只在低端通道	测量自举电容上面的电压，它应该在锁定电平之上；如果不是，检查电容为什么不能够充电。确保电容在导通时充电。
高端通道工作不稳定	<ul style="list-style-type: none"> <li>• 确认<math>V_S</math> 没有低于COM 5-10 V</li> <li>• 确认高端通道没有进入UV 锁定</li> <li>• 确认<math>V_S</math> 关于COM的dv/dt值没有超过50V/ns，如果没错，降低开关速度</li> <li>• 确认相对于<math>V_{SS}</math>的逻辑输入没有噪声</li> <li>• 确认输入逻辑信号不大于50ns</li> </ul>
门驱动信号有过多的振荡	减少门驱动环路的电感，使用胶合线，缩短长度。如果环路电感的减少振荡到可接受的程度，增加门电阻。

表格I		
方法	基本电路	关键特性
浮置门驱动供电		<ul style="list-style-type: none"> <li>• 长时间完全门控制</li> <li>• 隔离电源的成本影响是重要的（每个高端MOSFET需要一个）</li> <li>• 电平转换参考地的信号是灵活的。电平转换器必须能承受整个电压范围，首选具有最小传播延迟和较小功率损耗的开关。</li> <li>• 光隔离器相对比较昂贵，在带宽和噪声敏感度方面受到限制</li> </ul>
脉冲变压器		<ul style="list-style-type: none"> <li>• 简单而便宜，在很多方面受到限制</li> <li>• 工作于宽占空比要求复杂的技术</li> <li>• 变压器尺寸随着频率的降低而明显增加</li> <li>• 在快速开关波形下，重要的寄生效应产生了非理想操作。</li> </ul>

<p>充电泵</p>		<ul style="list-style-type: none"> <li>• 可以用来产生一个受电平转换器控制的“超出输入”的电压或者当MOSFET导通时，给门充电</li> <li>• 第一种情况，电平转换器的问题必须解决</li> <li>• 第二种情况，导通时间对开关应用显得太</li> <li>• 两种情况下，门都可以保持长时间导通</li> <li>• 在效率方面，在电压乘法电路中，需要两级泵电路。</li> </ul>
<p>自举</p>		<ul style="list-style-type: none"> <li>• 简单便宜，具有脉冲变压器的一些限制，需要刷新自举电容，从而占空比和导通时间受到约束</li> <li>• 如果电容是从高电压输入进行充电，功率消耗是很明显的</li> <li>• 要求电平转换器，有着跟它关联的难点</li> </ul>
<p>载波驱动</p>		<ul style="list-style-type: none"> <li>• 给出了长时间的完全门控制，但在开关性能上受到限制，这可以通过增加复杂性来改善</li> </ul>

**表格 II**

	模大小	上升时间	下降时间
	HEX-2	2.5 ns	17 ns
不同HEXFET模尺寸的典型开关时间	HEX-3	38 ns	23 ns
	HEX-4	53 ns	34 ns
(V <sub>CC</sub> =15 V, 测试电路如图 9, 没有门网络)	HEX-5	78 ns	54 ns
	HEX-6	116 ns	74 ns

**参考文献:**

1. “新型高电压桥驱动器电路简化PWM逆变器设计” D. Grant, B. Pelly 著. PCIM 研讨会 1989
2. 应用指南AN-967 “采用HEXFET III的PWM电机驱动” 请参见<http://www.irf.com/technical-info/appnotes/an-967.pdf>
3. 应用指南AN-961 “在电流模式控制功率中使用HEXSense” 请参见<http://www.irf.com/technical-info/appnotes/an-961.pdf>
4. 应用指南AN-959 “HEXSense介绍” 请参见<http://www.irf.com/technical-info/appnotes/an-959.pdf>
5. “电流检测功率MOSFET的动态性能” D. Grant 与R. Pearce著, 电子学快报, Vol. 24 No. 18, Sept 1, 1988

IR世界总部: 233 Kansas St., El Segundo, California 90245 电话: (310) 252-7105  
数据和规格仅供参考, 未得许可, 不得转载 3/23/2007