

紧凑且具成本效益的低功耗以太网至网络处理器桥

Ted Marena
区域销售经理
莱迪思半导体公司

当各类运营商开始向客户推出各种新业务时，原始设备制造厂商正全力开发基于IP(Internet协议)的系统，包括PON、CMTS、IP DSLAM及其他的接入和最后一公里设备。普通的基础物理层对此使用的是无处不在的以太网技术，目前与高级的QoS覆盖相结合。工程师正投入更多努力把交换以太网背板连接到系统线卡，特别是网络处理器。系统设计师常选择以太网交换机和有独立特性的网络处理器，而很少考虑两者互联带来的挑战。典型的基于以太网的系统结构由以太网交换机，依次由几个连接到

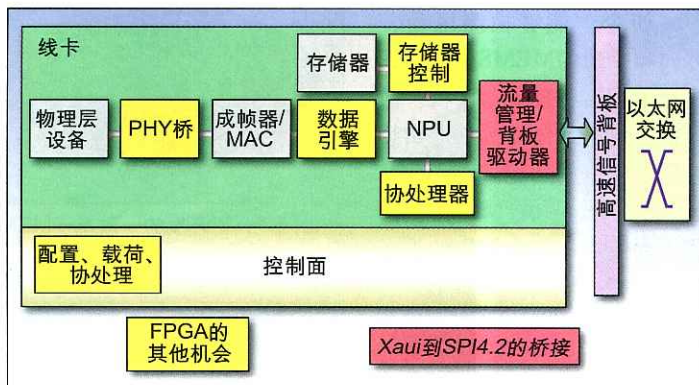


图1：基于以太网的系统结构。

一连串的基于网络处理器的线卡的10Gbps链路组成(图1)。在交换10Gbps系统，以太网交换机结构提供了一系列XAUI端口。每个XAUI端口有4个3.125Gbps的SERDES。这些串行端口通过背板或者中间结构完美地连接到线卡。有些以太网交换机包括

端口交换、流量控制或者用于服务质量要求的地址信息，在原来的以太网标准中没有服务质量要求的内容。为了保持10G线速，这些XAUI端口的运行速率要高于指定的每个通道3.125Gbps的速率。运行在3.75Gbps的Broadcom HiGig+协议就是一个例子。运行这

些所有权协议时，额外的开销允许客户开发自定义的应用交换，通过网络智能地传递通信量。此外，针对基于IP的应用，这些交换堆栈协议具有无约束的可量测性。

拥有网络处理器的线卡常用SPI4.2接口。SPI4.2是流行的运行速率可以超过10Gbps的高速并行接口，用于网络处理器、通信流量管理器、媒体接入控制(MAC)等。SPI4.2使用并行的16位宽的LVDS发送和接收源同步接口。为了处理流量控制，在状态通道有额外的电路。在SPI4.2链路上发送的数据作为一个包，或者猝发的多个包，并拥有控制头描述每个猝发。每个包控制头还识别与猝发数据相关的SPI4.2通道。这些位可用来把整个链路分割

成各种通道。SPI4.2规范支持每个链路多达256个通道。很明显在SPI4.2和XAUI之间存在着很大的物理和协议差异。由于这个原因，SPI4.2接口必须桥接到XAUI链路。

为了将XAUI链路连接到SPI4.2接口，要构建一个能够引导数据通过4个主要单元的桥。针对XAUI至SPI4.2桥，主要单元为：(1)XAUI SERDES终端；(2)10G MAC；(3)协议转换逻辑；(4)SPI4.2接口。此外还要有微处理器接口，用来配置每个桥的单元(52页图2)。

低功耗、完整特性的XAUI端口
XAUI SERDES块必须连接到4个3.125Gbps数据通道。这个逻辑只需要4个接收和4个发送

下接52页 ▶

移动电视技术

高集成度RF调谐器应对移动电视技术的挑战

Lionel Federspiel
电视接收业务高级经理
亚太区通信解决方案事业部
英飞凌公司

在研究移动电视技术发展趋势时需要区分产品功能组合、封装、性能、采用的半导体工艺和最重要的射频接收器性能。目前大多数单制式解调器都采用130nm~65nm CMOS工艺制造。多数情况下，它们与射频接收器一同封装在系统级封装内(SiP)，构成移动电视前端组件。然而不同解决方案的性能不尽相同，迟早这些产品都只会满足各自的传输标准。

在“时隙模式”下(包括适用于多业务应用的射频和内存)，实现低于50mW的极低系统功耗所面临的主要挑战是较小的外形尺寸和将系统集成于消费电子平台的复杂度。不过目前随着市场的日趋成熟，

所面临的巨大挑战是满足缩短开发周期和降低生产成本的需求。为应对上述挑战，英飞凌开发出OmniVia TUS9090。

系统特点

TUS9090是采用英飞凌RFC-MOS 130nm工艺开发的创新型单片IC。该SOC集成了多频带射频接收器(VHF、UHF和L频带)、DVB-T解调器组件和DVB-H物理层及固件和多业务数据接收所需的嵌入式内存。TUS9090无需外部滤波器、内存等组件，但若TUS9090用于VHF频带下接收DVB-T，就需要一个外部LNA。TUS9090集成了片上内存和逻辑内核，具备各种链路层和FEC功能。表1对DVB-H制式和其他新开发的制式进行了比较。

要开发出这种混合信号单片IC，需要大量的工程技术专长和丰富的经验。首先需要进

行系统分区，分区时需分析性能需求，然后根据需求，实现最佳的软硬件混合分区。随后的设计优化需要实现高级信号处理算法，但工程师需要深入了解相关的噪声问题——高速数字组件发出的噪声可进入灵敏的模拟射频组件。如果设计不仔细，测试不够详尽，就无法满足系统健壮性要求，导致性能降低，最终令客户失望。此外，由于相邻信道干扰、信号的快速深度衰减和较差的室内接收信号强度，使得移动电视的接收面临着严峻的挑战。

创新TUS9090单片IC完全符合MBRAI II规范。在DVB-H模式(QPSK、CR 1/2、GI=1/4、8MHz、8K FFT)下，射频灵敏度高于-98dBm，如果不计入外部巴伦，射频调谐器的噪声系数为4dB。在TU6通道条件下(MPE误帧率为5%)，

下接52页 ▶

D类放大器

应对D类放大器设计挑战的可升级方案

Jun Honda
高级工程师
D类音频放大器部
国际整流器公司

从家庭影院到有源音箱的高性能音频设备设计师发现D类放大器由于节省空间而极具吸引力。遗憾的是，这些设计师对D类放大器中的PWM开关放大器概念不够熟悉，因为他们的经验根植于AB类放大器这样的线性拓扑结构。他们面临的挑战与功率晶体管的开关工作模式有关，这种模式要求彻底导通或彻底关断。一个精心调整和良好保护的PWM开关电路能可靠地执行上述操作。但一个具有小小错误或非理想参数的设计很容易导

致原型的彻底失败。当放大器自毁后，很难查清具体原因。因此更正错误会为项目开发增加大量时间和成本。

为加快D类放大器的设计，国际整流器(IR)将四个主要的D类放大器构建模块集成为一个单芯片解决方案(56页图1)。通过将误差放大器、PWM比较器、栅极驱动级电路和过载保护功能结合到一起，IRS2092可以通过快速优化来提升终端产品的性能和灵活性。

带噪声隔离的误差放大器

音频放大器的主要指标是噪声和总谐波失真(THD)。在D类放大器中，影响这些指标的因素包括有限的开关时

下接56页 ▶

高集成度RF调谐器应对移动电视技术的挑战

► 上接52页

在TUS9090中，位于天线和输入级之后的是嵌入式射频接收器，它是集成了LNA、混频器、通道滤波器、晶体振荡器、锁相环路(PLL)和片上环路滤波器、VCO和IF增益控制器的直接变频接收器。从射频到I/Q信号的差分信号通道具备出色的噪声抑制功能。此外，集成化宽带射频自动增益控制(AGC)环路位于集成LNA之后。该射频组件能够直接接在LNA之后对信号进行检测，它能够响应混频器所能检测到的所有信号，避免由任何相邻信道所引起的任何非线性度问题。针对宽带AGC，TUS9090采用模拟增益控制环路、实现基带增益控制的数字化，并通过专用数字AGC总线控制可编程增益步长。此外，支持多种标准晶体频率的集成化高性能晶

体振荡器，可确保射频组件的正常工作——不论系统时钟是否可用。不过这种射频组件也能配合优质的系统时钟一起工作，从而降低晶振成本。

值得强调的是，零中频直接转换接收器由于具备最少的外部组件并且降低了功耗，从而满足接收器的模拟和射频规范，因此成为适用于DVB-H的主流架构。低中频射频架构是零中频的替代方案，但需满足 $N \pm 1$ 阶干扰所导致的严格的镜像抑制要求。不过采用先进的CMOS工艺可实现多种混合信号校准和电路技术，从而克服了零中频直接变频架构的缺点，如直流偏移。用于DVB-T和DVB-H制式的高带宽和大量副载波，可降低几千赫兹的直流频谱，同时不会明显降低性能。此外，近期进行的产品开

发表明，可将LNA集成于采用纯CMOS工艺技术制造的射频调谐器——尽管DVB-H需要较宽的输入频率范围。在射频参考点，系统噪声系数低于3.5~4dB，可满足灵敏度要求。

阻塞干扰是另一个设计挑战。移动电视接收器需要覆盖宽频谱，从而会引起许多潜在的无用信号，这就需要接收器具有足够大的动态范围。这也需要整个系统具有较高的线性度和出色的噪声性能，以及宽带增益控制环路，以防止混频器和后续级由强干扰所引起的饱和。前两个需求最终决定了模拟接收器部分的功耗约束。因此，对于一些需要较低线性度的单频应用，具备可以在功耗和噪声系数方面实现进一步优化的优势。

TUS9090可对ETSI EN 300

744和ETSI EN 302 304定义的OFDM信号进行数字化解调。PHY模块集成了所有OFDM功能，其中包括同步、FFT、通道评估、去映射器、内部解交织器、内解码器、外解交织器和外解码器。为了使功耗降至最低，它还集成了专为最大程度降低功耗、优化同步性能而设计的功率控制组件。此外，内部高性能多层总线，将诸如片上处理器等不同的IP块互连在一起，从而实现高级并行总线功能，通过降低系统总延迟最终提高系统吞吐量。可通过从机SDIO接口建立主机连接。该接口可在导入过程中将FW下载至芯片，然后将IP数据流转移至主机。它还可作为控制接收器配置的链路，并可处理高达50MHz的时钟速率，从而使接收器在DVB-H模式下的

导通时间降至最低。

该终端的移动特性可引起快速时变通道和接收的信号及其回波的多卜勒频移。在这种条件下运行的接收器性能主要取决于使用的调制性能和标准保护性能及信号处理算法。DVB-H制式能够消除这些隐患；提供多样配置；调整性能；满足实际需求。

TUS9090还包含完整的固件，这些固件可提供多种自动功能。另外，还提供与市场上主要中间件产品兼容的DVB-H主机驱动程序。

图2(详见本刊网站)为英飞凌的单片集成电路TUS9090的实物图。英飞凌公司已经开始提供TUS9090样片。另外，英飞凌公司还将射频接收器嵌入TUS9090，开发出独立的OmniTune TUA9000。

应对D类放大器设计挑战的可升级方案

► 上接49页

间、过冲/欠冲及电源波动。改善这些因素需要提高误差放大器的性能。误差放大器用于比较输出音频信号与输入音频信号，并根据比较结果校正输出级电路中的这些缺陷。

D类放大器的噪声环境所要求的特性与A类或A/B类设计中所要求的不一样，因此要找到一个合适的运算放大器是一件复杂且耗时的过程。IRS2092中集成了一个优化的运算放大器，具有较高的噪声抑制能力，带宽为5MHz，在图2(详见本刊网站)的设计实例中实现0.005%的THD。

噪声隔离

D类放大器拓扑结构要求前后端靠得很近。在分立实现方案中，设计师必须确定如何将噪声敏感的模拟输入部分与大信号输出级中的有害开关噪声隔离开来。

而在单芯片方案中，最艰巨的挑战包括了如何实现在上述两种电路之间足够的电气隔

离。IRS2092采用了专有的半导体结隔离方法，确保了噪声隔离指标。

PWM比较器和电平转换

一旦误差放大器对输入音频信号处理后输出形状与输入信号成比例的信号，比较器就会将该模拟信号转换成一个脉冲宽度调制(PWM)信号。

IRS2092的PWM比较器将模拟信号转变成PWM信号时，传播延迟很小，因此在优化反馈环路设计时具有较大的灵活性。下一个挑战是将PWM信号从安静的误差放大器电路输送到噪声较大的开关级电路。此时会有一个高电压电平转换器将数字信号转换到一个不同的浮动电位上，因此不管两边的电压差如何都能准确地传送PWM信号，就像一个理想的差分放大器那样。

栅极驱动和开关级电路

栅极驱动级电路接收来自比较器、参考电平为地电平的PWM信号，并对该信号进行

低电平转换，形成分别以高端和低端MOSFET的源极为参考电平的栅极驱动信号。在栅极驱动级，在每个ON状态之间插入一个死区时间，以防止在高端和低端MOSFET中同时出现ON状态。

精确的门控制是获得优质音频性能的关键。栅极驱动器的脉冲宽度失真必须很小，应该在高端和低端栅极驱动级之间达到完全匹配。这两项属性都很关键，能将死区时间减到最小，改进放大器的线性度。

死区时间插入

死区时间插入是D类放大器的开关级电路设计中最为关键的部分。通过调整MOSFET有限的开关转换时间，死区时间可以防止冲击直通，从而确保放大器的安全工作。但是，这也会产生非线性，从而导致意外失真。设计工程师常常不得不在THD性能和安安全余量之间采取折中。

IRS2092内置了死区时间控制，设计师可以根据所选的

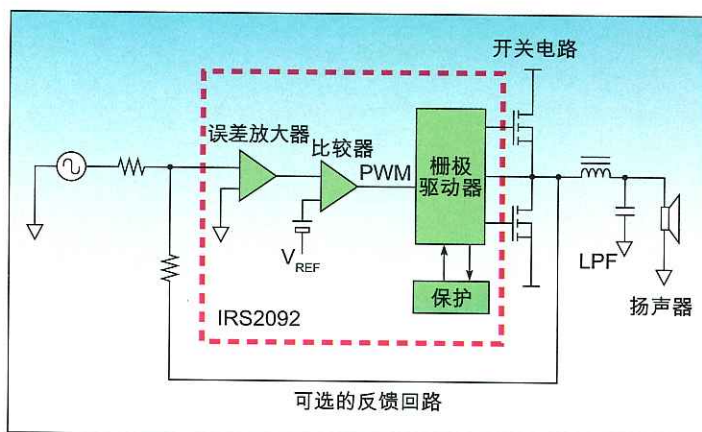


图1: IRS2092单芯片解决方案。

MOSFET来选择死区时间宽度。相对于外部死区时间控制设计，集成式死区时间插入的宽度是有保证的，设计师无需估计最坏情况。

过载保护

由于MOSFET的功率耗散正比于负载电流的平方，保护电路通常监控负载电流来防止MOSFET在过流情况下失效。通常采用一个外部分流电阻来检测负载电流，但电阻选择和噪声滤波等因素非常关键，可能会增加整个设计的开发时

间、成本和物理尺寸。

保护电路还要求支持对功率级中关键电流环路路径中的杂散电感所引起的额外开关噪声进行补偿校正。

在集成式构建模块芯片中，内置过载保护取决于MOSFET的通态电阻。集成式电路监控输出电流，当超过预设门限时将切断PWM。另外，MOSFET通态电阻较大的正温度系数随着结温的升高会降低过流门限，从而增强了放大器的安全性。

下接58页 ►

